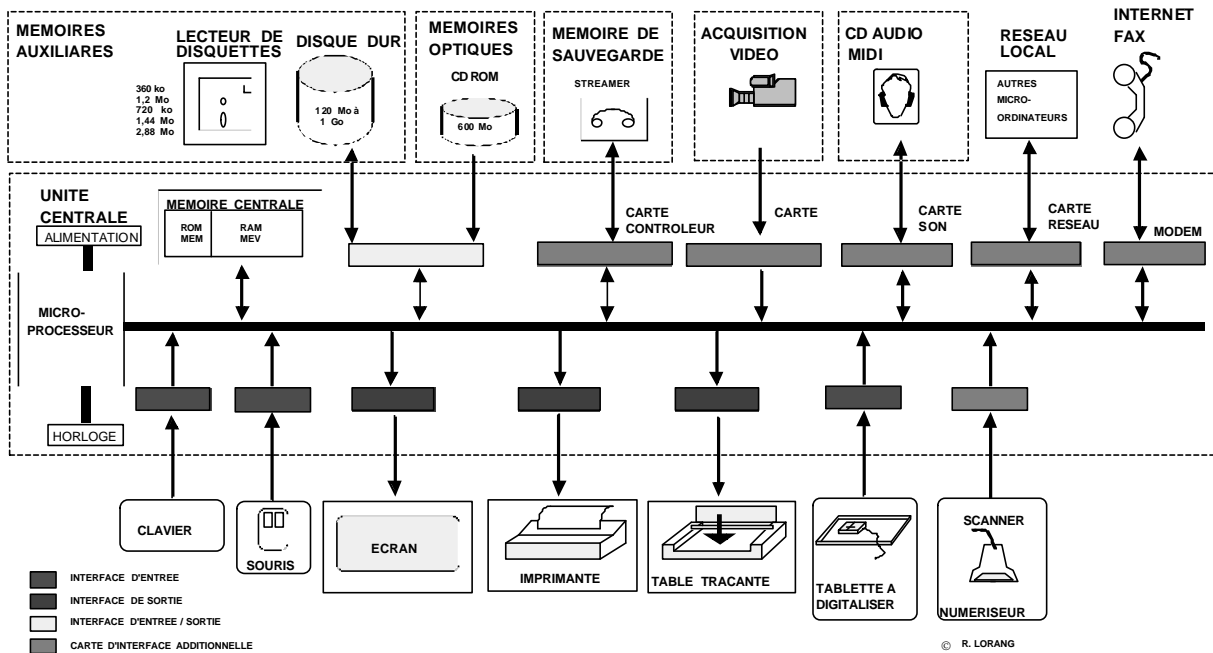
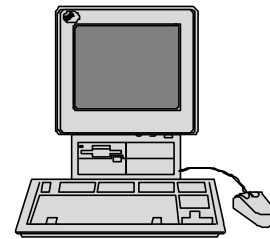


## STRUCTURE D'UN MICRO-ORDINATEUR Le matériel ( *HARDWARE* )

### 1. PRESENTATION GENERALE :

L'unité centrale et ses périphériques



© R. LORANG

### 2. L'UNITE CENTRALE : ou CPU (*Central Processing Unit*)

#### 2.1. CONSTITUTION :

L'unité centrale constitue la partie essentielle de tout micro-ordinateur. Elle se compose de trois grands ensembles destinés à former un système informatique cohérent :

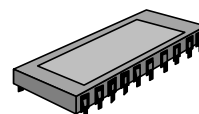
- le microprocesseur ( ou MP )
- la mémoire principale ou mémoire centrale
- le système résidant ( le BIOS < *BASIC INPUT OUTPUT SYSTEM* > )

#### 2.2. LE MICROPROCESSEUR :

##### 2.2.1. DEFINITION :

- **PROCESSEUR** : automate qui permet de traiter une suite d'instructions qui constituent le programme.
- **MICROPROCESSEUR** : circuit intégré (d'où le terme MICRO (taille)) numérique programmable

capable de traiter **automatiquement** une suite d'instructions logiques et arithmétiques.

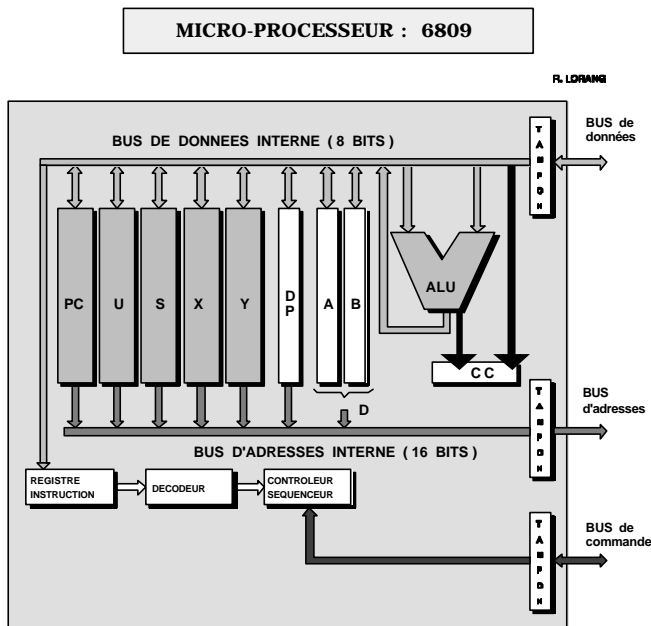


**Il possède une unité arithmétique et logique, une unité de commande, des mémoires internes de traitement, appelées généralement "registres" (accumulateurs, registres d'adresses...) et des mémoires tampons assurant les liaisons avec les entrées et les sorties.**

(voir page 2: fig 1 - microprocesseur 6809)

##### 2.2.2. LES MICROPROCESSEURS DU MARCHE :

Les microprocesseurs sont classés selon la **taille des mots de données** qu'ils manipulent :



ALU : UNITE ARITHMETIQUE ET LOGIQUE  
 LES REGISTRES INTERNES :

- \* 16 bits : PC COMPTEUR PROGRAMME
- U PILE UTILISATEUR
- S PILE SYSTEME
- X REGISTRE D'INDEX X
- Y REGISTRE D'INDEX Y

- \* 8 bits : A ACCUMULATEUR A ) ACCUMULATEUR D
- B ACCUMULATEUR B
- DP REGISTRE DE PAGE
- CC REGISTRE " CODE CONDITION "

Fig 1

- microprocesseurs **8 bits** :
  - **6809** de **MOTOROLA** sur machines TO7 - TO9
  - TO8 - MO5 - MO6
  - **Z80** de **ZILOG** , **8080** de **INTEL**
  - **8088** de **INTEL** sur machines **compatibles IBM-PC**
- microprocesseurs **16 bits** :
  - **8086** de **INTEL** sur machines **compatibles IBM-PC et IBM-XT**
  - **80286** de **INTEL** sur machines **compatibles IBM-AT2 et IBM-PS/2**
  - **68000** de **MOTOROLA** sur *Macintosh (APPLE)*
- microprocesseurs **32 bits** :
  - **80386** de **INTEL** sur machines **compatibles IBM-AT3 et IBM-PS/2**
  - **80486** de **INTEL** + *ses overdrives 80486 DX2 ou DX4*
  - **68020** de **MOTOROLA**
  - **Pentium (586)** de **INTEL**
- microprocesseurs **actuels 32 bits** :
  - **Pentium Pro et Pentium MMX** de **INTEL**
  - **Pentium II et III** de **INTEL**

- **Celeron** de **INTEL**
- **PowerPC** de **MOTOROLA**

- microprocesseurs **du futur** :  
 microprocesseurs **64 bits**
- **Merced** de **INTEL**

REMARQUES :

1. Les CPU à **8088, 8086, 80286, 80386, 80486, Pentium** exécutent tous le même jeu d'instructions. Il n'en est pas de même, en général, entre microprocesseurs de constructeurs différents.
2. Le pentium utilise une technologie à 0,6 micron autorisant la présence de 3,5 millions de transistors par puce. Il travaille à une tension de 3,3V, ce qui réduit sa consommation en regard des 5V habituels. Le pentium II est à 0,25 micron et la puce comporte 5,5 millions de transistors.

Architecture :

Les processeurs possèdent, de plus, une certaine architecture qui leur est propre, les rendant incompatibles entre eux. On peut citer les plus employés :

- les processeurs à architecture **CISC** (Complex Instruction Set Computer ou ordinateur à jeu complexe d'instructions) utilisés par tous les processeurs x86 fabriqués par Intel, AMD et Cyrix mais aussi IDT Centaur, Rise...
- les processeurs à architecture **RISC** (Reduced Instruction Set Computer ou ordinateur à jeu réduit d'instructions) utilisés désormais par les processeurs fabriqués par le duo Motorola et IBM (PowerPC).

**VITESSE D'HORLOGE** : ces CPU sont généralement cadencés aux vitesses suivantes :

- CPU à **6809** : **1 MHz** sur TO7
- CPU à **8088** : **4,77 MHz**
- CPU à **8086** : **4,77 ou 8 MHz**
- CPU à **80286** : **6, 8, 10, 12, 16 ou 20 MHz**
- CPU à **80386SX** : **16 ou 20 MHz**
- CPU à **80386DX** : **16, 20, 25 ou 33 MHz**
- CPU à **80486SX** : **20 ou 25 MHz**
- CPU à **80486DX** : **33, 50 ou 66 MHz**
- CPU à **80486DX2** : **66 MHz**
- CPU à **80486DX4** : **75 ou 100 MHz**
- CPU à **Pentium** : **75, 90, 100, 120, 133, 150 ou 166 MHz.**
- CPU à **Pentium II**: **333, 350, 400 ou 450 MHz.**

**2.2.3. LES CO-PROCESSEURS ARITHMETIQUES :**

A chaque microprocesseur on peut associer un **co-processeur**, ce dernier décharge le premier de tous les calculs. Il permet par conséquent, **des vitesses d'exécution beaucoup plus grandes**, en particulier dans les applications de **CAO et de DAO**. Certains logiciels ne peuvent pas "tourner" sans co-processeur, en particulier **AUTOCAD et DMT** ....

Les désignations de ces co-processeurs se terminent toutes, chez **INTEL**, par **87**, ainsi le co-processeur du 80286 est le **80287**, celui du 80386SX est le **80387SX** ...etc.(Attention : le choix du co-processeur dépend évidemment de la désignation du processeur, mais aussi de son **cadencement d'horloge**)

Les coûts de ces co-processeurs sont relativement élevés, ainsi un 80287 vaut entre 700 à 1500F selon le fournisseur. A noter que le 80486DX et le Pentium intègrent directement dans leur boîtier le co-processeur.

**2.3. LA MEMOIRE CENTRALE :**

**ROLE ET NECESSITE :**

La fonction mémoire consiste à recevoir, à conserver et à restituer les informations dans leur

intégrité suivant l'avancement et les besoins du traitement.

**2.3.1. TERMINOLOGIE FONCTIONNELLE :**  
 (voir fig 2)

**2.3.1.1. LA MEMOIRE VIVE: ou RAM**  
 (*Randon Acces Memory*)

**2.3.1.1.1. DEFINITION :**

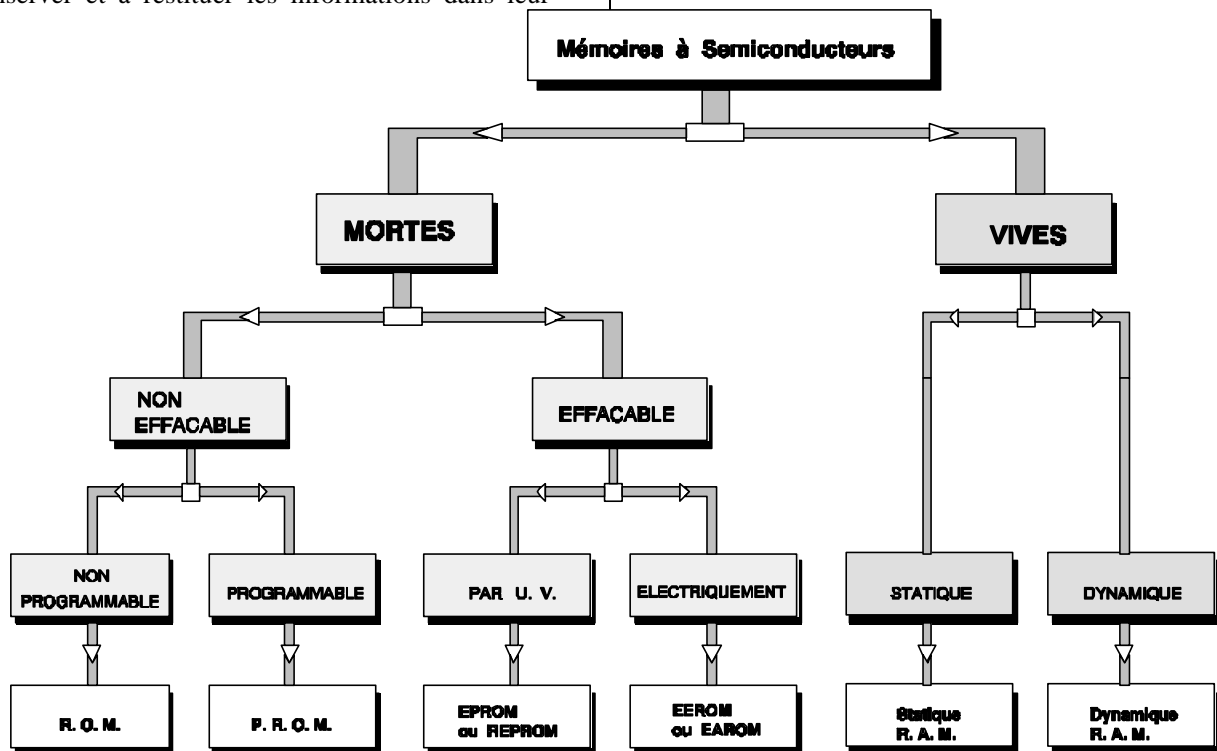
C'est une mémoire accessible aussi bien en lecture qu'en écriture, elle permet donc de charger des programmes et des données pour être traités par la suite. Toute mise hors tension du système détruit son contenu, c'est une mémoire **VOLATILE**.

De nouvelles cartes d'extension mémoire permettent de contourner cet obstacle en soutenant l'alimentation des boîtiers mémoires par une pile incorporée à la carte.

**2.3.1.1.2. TECHNOLOGIE :**

- **RAM statique :** basée sur le principe de la **BASCULE**, elle conserve les données tant que la puce est sous tension. Elle est le plus souvent de technologie **CMOS** ou **NMOS**.

Fig 2



La RAM statique (mémoire rapide) est utilisée dans la machine pour la mémoire cache (mémoire tampon entre la mémoire centrale et le

processeur). On la trouve au niveau 1(L1) en faible quantité (quelques KO) au cœur du microprocesseur et au niveau 2 (L2) (512KO voir

1M0) soit sur la carte, soit dans le boîtier du micro (pentium II).

- **RAM dynamique (ou DRAM)** : elle utilise des condensateurs pour le stockage de l'information. Mais le problème des courants de fuite nécessite un cycle de régénération (ou **rafraîchissement**) toutes les 1 à 2 ms.

Elle permet des densités d'intégration 4 fois plus grandes, des coûts par bit 4 à 5 fois plus faibles et une consommation 3 à 6 fois moindre (mémoire FPM (Fast Page Mode)). C'est elle qui constitue la mémoire centrale. Elle tend à être remplacée par la mémoire EDO (Extended Data Output) plus rapide et surtout par la SDRAM.

Ex : on la trouve la mémoire

- **soit en barrettes SIMM** 30 ou 72 points. Les barrettes d'aujourd'hui sont à 32 ou 36 bits (72 points) :

- barrette de 4 MO , FPM (**70 ns**) ou EDO (**60 ns**)
- barrette de 8 MO , FPM ou EDO
- barrette de 16 MO, FPM ou EDO

- **soit en barrettes DIMM** 64 bits (SDRAM):

- barrette de 32 MO , PC100 (**6 à 8 ns**)
- barrette de 64 MO
- barrette de 128 MO

### 2.3.1.2. LA MEMOIRE MORTE: ou ROM (Read Only Memory)

#### 2.3.1.2.1. DEFINITION :

**C'est une mémoire dont le contenu ne peut pas être modifié par l'utilisateur mais qui peut être lue. Toute coupure du courant n'altère en rien son contenu, c'est une mémoire NON VOLATILE.**

Cette mémoire est programmée par masque par le fabricant, elle nécessite une fabrication grande série. Le constructeur y place le plus souvent une partie du système d'exploitation (*le BIOS*), les routines de tests de la configuration (*le ROS*), le générateur de jeu de caractères, on parle alors de *FIRMWARE*. Dans certains cas, on trouve également l'interpréteur *BASIC*.

#### 2.3.1.2.2. LES VARIANTES DE LA ROM :

- **la mémoire PROM (Programmable Read Only Memory)** : c'est une mémoire livrée vierge par le fabricant et programmable par l'utilisateur à l'aide d'un appareil (le programmeur de PROM). Une fois programmée son contenu est inaltérable, elle est devenue ROM.

- **la mémoire EPROM ou REEPROM (Erasable PROM)** : c'est une mémoire qui est reprogrammable, car effaçable par rayonnement ULTRAVIOLET.

- **la mémoire EEPROM (Electrically Erasable PROM) ou EAPROM (Electrically Alterable PROM)** : c'est une mémoire effaçable et reprogrammable électriquement.

### 2.3.2. CAPACITE D'UNE MEMOIRE CENTRALE : (voir fig. 3)

#### 2.3.2.1. LE BUS DES DONNEES :

**Il est constitué par un ensemble de lignes BIDIRECTIONNELLES sur lesquelles se font les échanges de données (DATA) entre le microprocesseur et son environnement :**

- mémoire centrale
- unités d'entrées/sorties

Le nombre de lignes du bus dépend de la taille du "mot" que peut traiter le microprocesseur : **8, 16 ou 32 bits déterminent 8 (IBM-PC), 16 (IBM-XT) ou 32 lignes(IBM-AT).**

(voir à ce sujet le document, « la guerre des bus »)

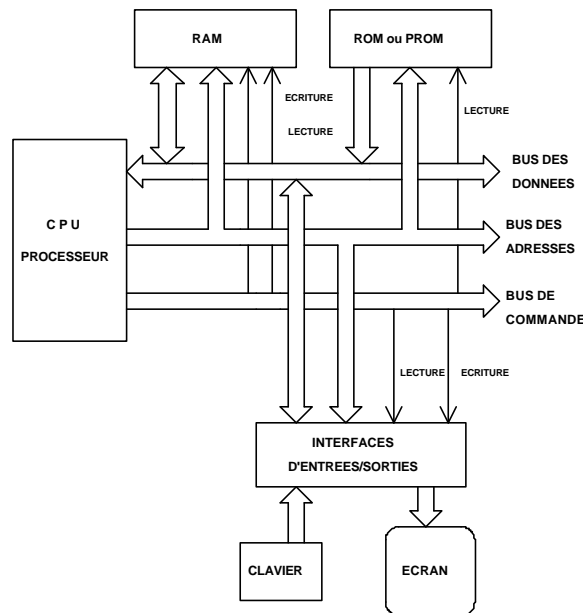


Fig. : 3

#### 2.3.2.2. LE BUS DES ADRESSES :

ADRESSAGE D'UNE MEMOIRE :

C'est le **BUS DES ADRESSES** qui donne au processeur les moyens de sélectionner une position de la mémoire.

**Il est constitué par un ensemble de lignes UNIDIRECTIONNELLES (du microprocesseur vers l'extérieur).**

La capacité d'adressage dépend du nombre de lignes du bus des adresses mis en place sur la carte

mère ainsi que des possibilités d'adressage du microprocesseur.

*Exemple :* sachant que la taille d'une position mémoire est de **8 bits soit 1 octet**, déterminons les capacités d'adressage dans les cas suivants:

| MACHINE    | MICROPROCESSEUR | BUS DES ADRESSES | CAPACITE PHYSIQUE        |
|------------|-----------------|------------------|--------------------------|
| TO7        | 6809            | 16 fils          | $2^{16} = 64 \text{ kO}$ |
| IBM-PC/XT  | 8088/8086       | 20 fils          | $2^{20} = 1 \text{ MO}$  |
| IBM-AT/PS2 | 80286           | 24 fils          | $2^{24} = 16 \text{ MO}$ |
| IBM-AT/PS2 | 80386SX/80386DX | 32 fils          | $2^{32} = 4 \text{ GO}$  |
| IBM-AT     | 80486SX/80486DX | 32 fils          | $2^{32} = 4 \text{ GO}$  |

### 2.3.2.3. LE BUS DE COMMANDE :

**Le bus de commandes transmet un certain nombre de signaux de synchronisation, de commande et de coordination des tâches permettant ainsi un fonctionnement harmonieux du système.**

Les signaux rencontrés sont :

- lecture/écriture mémoire (*MemR/MemW*)
- lecture/écriture Entrées/Sorties (*IOR/IOW*)
- signaux de l'horloge à quartz
- lignes d'interruption
- périphérique prêt (*Ready*)
- remise à l'état initial (*Reset*)

### 2.3.3. Gestion des Entrées / Sorties :

(voir fig. 4)

La méthode par scrutation est totalement inopérante, car le microprocesseur ne ferait que de la scrutation. La méthode utilisée est la méthode par interruption (voir à ce sujet la liste des interruptions matérielles présentées en annexe).

Lors de l'installation d'un nouveau périphérique, il faudra veiller à ce qu'il n'occupe pas un fil d'interruption déjà dédié à un autre périphérique.

La méthode par DMA (Direct Memory Acces) est utilisée pour le disque dur. C'est le contrôleur de DMA qui prend en compte les échanges entre la mémoire centrale et le disque, le processeur est alors déconnecté des bus.

### METHODES DE GESTION DES ENTREES/SORTIES

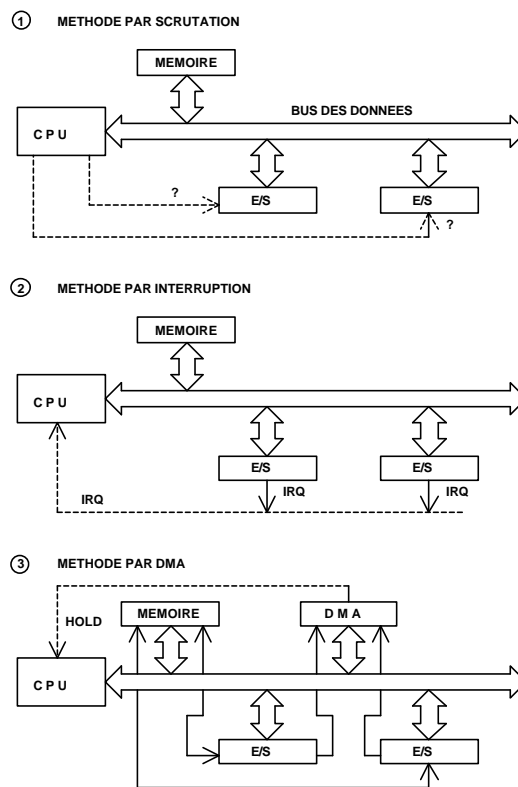


Fig. : 4

### 2.3.4. Espace d'adressage des Entrées / Sorties :

Dans les CPU de la famille INTEL les E / S possèdent leur propre mode d'adressage (65536 ports de 8 octets). (Voir à ce sujet la liste des adresses matérielles présentées en annexe)